

TEMA 4

Circuitos secuenciales

Introducción

Bi stable RS asíncrono

Bi estables RS síncronos

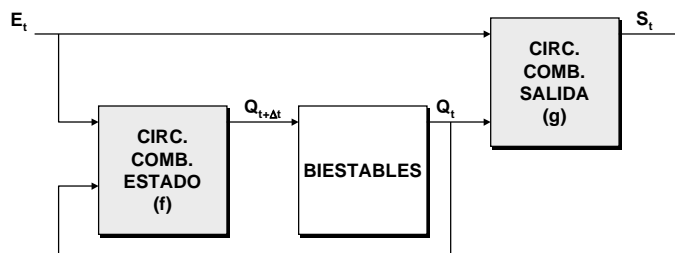
Otros bi estables

Características temporales de los bi estables

1 Introducción

Circuito secuencial es aquél en el que las salidas en un instante de tiempo dependen de las entradas en ese instante de tiempo y en instantes anteriores.

La evolución pasada está almacenada en unos elementos con capacidad de memorizar el estado interno. Cada bit de información de estado se guarda en un biestable.



$$Q_{t+\Delta t} = f(E_t, Q_t)$$

Ecuaciones de ESTADO

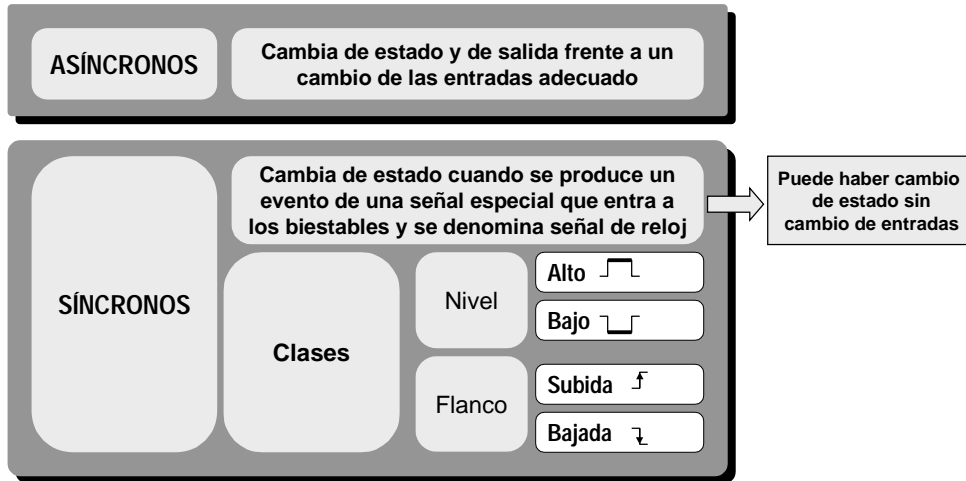
EVOLUCIÓN TEMPORAL

$$S_t = g(E_t, Q_t)$$

Ecuaciones de SALIDA

VALORES INSTANTÁNEOS

Circuitos asíncronos y síncronos



Circuitos de tipo Mealy o Moore

MEALY

$$S_i = g(Q_i, E_i)$$

Las salidas dependen de los estados y de las entradas

MOORE

$$S_i = g(Q_i)$$

Las salidas dependen sólo de los estados.
Si el circuito es síncrono, las salidas cambian con el reloj

Ejemplo: Detector de secuencias

Detectar la secuencia de valores 1011 síncrona con un reloj

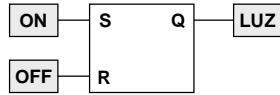


E	0	0	0	0	1	0	0	1	0	1	1	0	1	0	1	1	0	1	1	1	1
S1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1	0
S2	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	1

¿Porqué es un circuito secuencial?

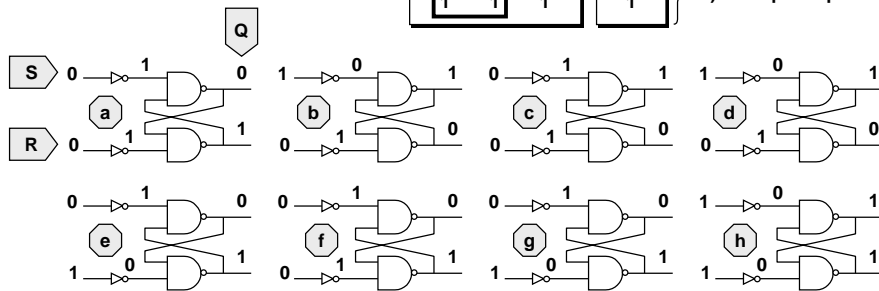
¿Cuál es de tipo Moore o de tipo Mealy?

2 Biestable RS asíncrono

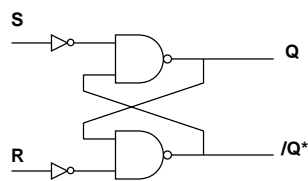


S	R	Q_t	$Q_{t+\Delta t}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

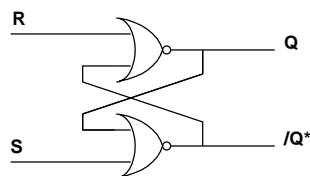
- a) Continuar apagado
- c) Continuar encendido
- g) Apagar mientras apagado
- b) Encender (Set)
- e) Apagar (Reset)
- e) Encender mientras encendido
- h) Inscripción prioritaria



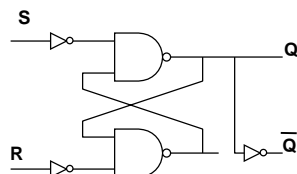
Inscripción prioritaria

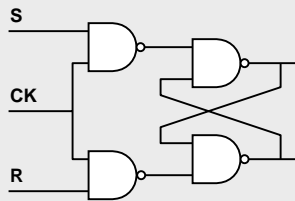
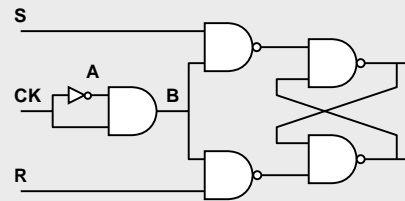
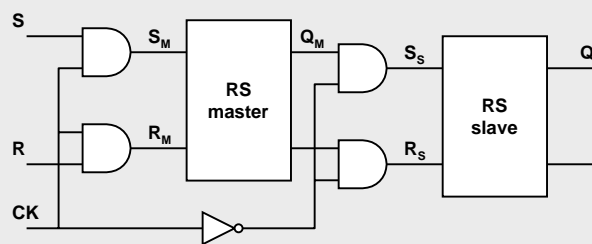
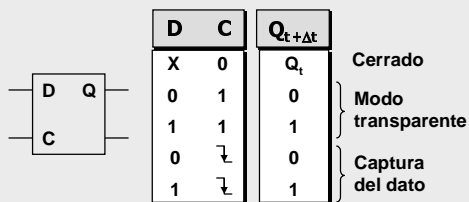
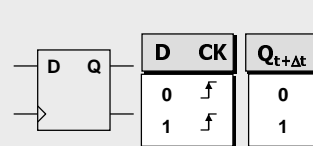
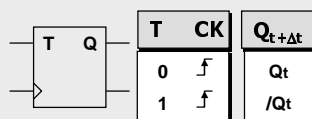
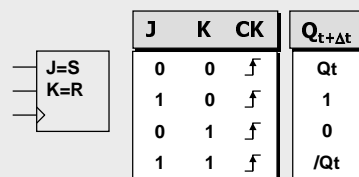


Borrado prioritario



¿Cómo hacer que Q^* sea \bar{Q} siempre?



3 Biestables RS síncronos**Activos por nivel****Activo por flanco (edge-triggered)****Activo por flanco (master-slave)****4 Otros biestables****Biestable latch (asíncr.)****Biestable D****Biestable T****Biestable JK**

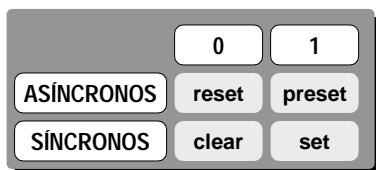
Ejemplo: A partir de un biestable JK, construir un biestable D y un T

Ejemplo: A partir de un biestable D,
construir un biestable T

Ejemplo: A partir de un biestable T,
construir un biestable D

Otras señales

A Inicialización de biestables

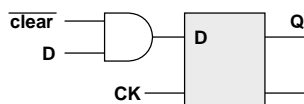


No hay acuerdo en el uso de esta terminología

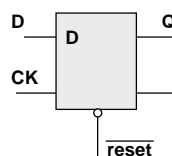
La inic. asíncrona es inmediata, mientras que la síncrona se espera al primer flanco activo de reloj

Las señales de inicialización suelen ser activas por nivel bajo (la acción se produce cuando la señal es 0)

Ejemplo:
Biestable D con clear



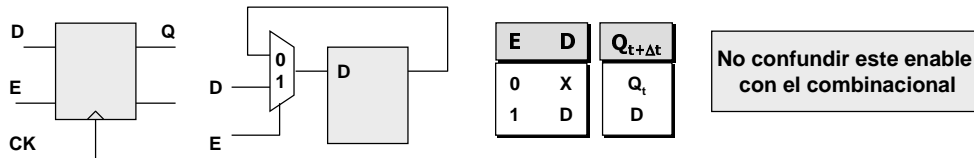
Ejemplo:
Biestable D con reset



La inic. síncrona se puede considerar como parte de la funcionalidad

Otras señales

B Señal de enable (carga) en biestables D



Ejemplo: A partir de un biestable D, construir un T con clear, reset y carga

Orden: reset > clear > carga > T

5 Características temporales de los biestables

A Restricciones biestable

→ Duración del reloj

$t_{1,min}$

$t_{0,min}$

frec. máxima: $f_{max} = 1 / (t_{1,min} + t_{0,min})$

→ Duración de las señales de inicialización asíncronas

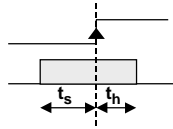
$t_{reset,min}$

$t_{preset,min}$

→ Tiempos de inserción de las señales de dato, toggle, etc.

t_{setup}

t_{hold}



B Retardos

→ Retardos de propagación típicos

$t_{CK,Q}$

$t_{preset,Q}$

C Restricciones circuitos

→ Compatibilidad propia

$t_{CK,Q} > t_{hold}$

→ frec. máxima circuito

$$f_{max} = \frac{1}{(t_{CK,Q} + t_{critico} + t_{setup})}$$